

1

(4) Japanese Patent Laid-Open Gazette No. 5-218426: "Field Effect Transistor "

The present invention is structured by forming a insulating layer 2 such as  $\text{SiO}_2$  on top of Si substrate 1, and source region 3, drain region 4 and channel region 5 on top of said insulating layer 2, and applying gate region 7 via gate oxide film 6 such as  $\text{SiO}_2$  on top of said channel region 5. Said channel region 5 can be divided into upper layer 5a and lower layer 5b; upper layer 5a has a thickness of  $500\text{\AA}$  with an impurity concentration of approximately  $10^{10}\text{cm}^{-3}$ , and lower layer 5b has a thickness of  $500\text{\AA}$  with an impurity concentration of approximately  $5 \times 10^{11}\text{cm}^{-3}$ .

10

(19)日本国特許庁 (JP)

## (12) 公開特許公報 (A)

(11)特許出願公開番号

特開平5-218426

(43)公開日 平成5年(1993)8月27日

(51)Int.Cl.<sup>5</sup>  
H 01 L 29/784  
27/12識別記号  
Z 8728-4M  
9056-4M

F I

H 01 L 29/ 78

技術表示箇所

3 1 1 H

審査請求 未請求 請求項の数 2(全 7 頁)

(21)出願番号 特願平4-46018

(22)出願日 平成4年(1992)1月31日

(71)出願人 000004329

日本ピクター株式会社

神奈川県横浜市神奈川区守屋町3丁目12番地

(72)発明者 樋口 潤

神奈川県横浜市神奈川区守屋町3丁目12番地 日本ピクター株式会社内

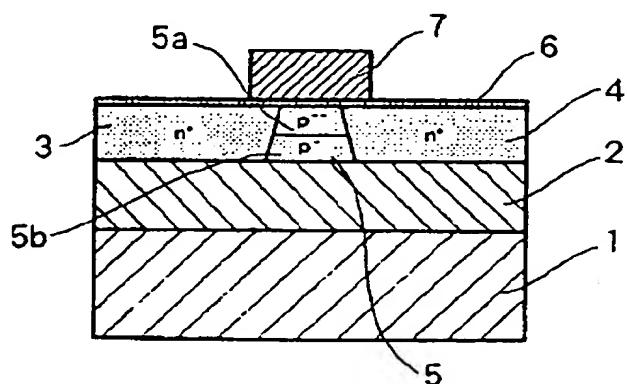
(74)代理人 弁理士 下田 容一郎 (外1名)

(54)【発明の名称】 電界効果トランジスタ

## (57)【要約】

【目的】 ゲート電圧のコントロールとキャリヤの高移動度を両立させた高速のSOIMOSFETを提供すること。

【構成】 Si基板1上にSiO<sub>2</sub>等の絶縁層2を形成し、この絶縁層2上にソース領域3、ドレイン領域4及びチャネル領域5を形成し、このチャネル領域5上にSiO<sub>2</sub>等のゲート酸化膜6を介してゲート領域7を設けた構造になっている。そして、前記チャネル領域5は上層5aと下層5bに分けられ、上層5aは厚み500Åで不純物濃度は10<sup>10</sup>cm<sup>-3</sup>程度とし、下層5bは厚み50Åで不純物濃度は5×10<sup>11</sup>cm<sup>-3</sup>程度とする。



## 【特許請求の範囲】

【請求項1】 絶縁体上にシリコン(Si)層を形成し、このシリコン層にアクセプタ原子及びドナー原子を注入してシリコン層内にチャネル領域、ソース領域及びドレイン領域を形成した電界効果トランジスタにおいて、前記チャネル領域は低濃度の上層と高濃度の下層からなることを特徴とする電界効果トランジスタ。

【請求項2】 前記高濃度の下層の不純物濃度はしきい値電圧(V<sub>th</sub>)を基準にして決定し、前記低濃度の上層の不純物濃度はキャリヤの移動度を基準にして決定していることを特徴とする電界効果トランジスタ。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明はSOIMOSFET(Silicon On Insulator Metal Oxide Semiconductor Field Effect Transistor)に関する。

## 【0002】

【従来の技術】電界効果トランジスタとして、ラッチアップフリー、ソフトエラー耐性、低浮遊容量、集積回路の三次元化の可能性等において、バルクSi素子にない利点を有するSOIMOSFETが注目されている。

【0003】上記SOIMOSFETの作成方法は、先ず図3(a)に示すように、基板21上にSiO<sub>2</sub>等の絶縁層22を形成し、この絶縁層22の上に薄いシリコン層23を形成し、このシリコン層23に不純物として例えばボロン(アクセプタ原子)を注入し、次いで、図3(b)に示すように、シリコン層23の上にSiO<sub>2</sub>等の酸化膜24、ポリシリコン層25を形成するとともに所定箇所をレジストマスク26で覆い、図3(c)に示すように酸化膜24上面までエッチングしてゲート電極27を形成し、更に、図3(d)に示すようにゲート電極27下方を残してヒ素(ドナー原子)を不純物として注入することで、シリコン層23の部分にソース領域28、ドレイン領域29及びチャネル領域30を形成するようしている。

## 【0004】

【発明が解決しようとする課題】上述したSOIMOSFETにおいて、しきい値電圧(V<sub>th</sub>)はボロンの注入量に依存する。したがって適当なしきい値電圧を得るためにボロンの注入量を多くしなければならない。一方、ゲート領域下方のチャネル領域のボロン濃度が高いと、不純物による散乱によりキャリヤの移動度が低下する不利がある。したがって従来のSOIMOSFETではしきい値電圧とキャリヤの移動度を両立させることができなかった。

## 【0005】

【課題を解決するための手段】上記課題を解決すべく本発明は、SOIMOSFETのチャネル領域を不純物濃度の低い上層と不純物濃度の高い下層とに分けた。

## 【0006】

【作用】しきい値電圧(V<sub>th</sub>)は不純物濃度の高い下層にてコントロールし、キャリヤの移動は不純物濃度の低い上層で行なわれる。

## 【0007】

【実施例】以下に本発明の実施例を添付図面に基づいて説明する。ここで、図1は本発明に係る電界効果トランジスタの断面図、図2は同電界効果トランジスタの製作方法を示す図である。

【0008】本発明の電界効果トランジスタはSi基板1上にSiO<sub>2</sub>等の絶縁層2を形成し、この絶縁層2上にソース領域3、ドレイン領域4及びチャネル領域5を形成し、このチャネル領域5上にSiO<sub>2</sub>等のゲート酸化膜6を介してゲート領域7を設けた構造になっている。そして、前記チャネル領域5は不純物濃度の低い上層5aと不純物濃度の高い下層5bに分けられている。具体的には上層5aは厚み500Åで不純物濃度は10<sup>10</sup>cm<sup>-3</sup>程度とし、下層5bは厚み500Åで不純物濃度は5×10<sup>11</sup>cm<sup>-3</sup>程度とする。

【0009】以上において、ゲート領域7に電圧を印加してチャネル領域5の抵抗をコントロールしてソース領域3とドレイン領域4間に電流を流す場合、チャネル領域5の上層5aの方が下層5bに比べて低濃度なので、キャリヤの移動度が高く、したがって電流は上層5aの部分を流れる。

【0010】次に、上記の電界効果トランジスタ(SOIMOSFET)の作成方法を図2(a)～(e)に基づいて説明する。先ず図2(a)に示すように、Si基板1上にSiO<sub>2</sub>等の絶縁層2を形成し、この絶縁層2上に厚さ1000Åのシリコン(Si)層8をエビタキシャル成長等によって形成し、このシリコン層8に不純物としてボロン(アクセプタ原子)を注入する。ここで不純物濃度はキャリヤの散乱が起らない程度の濃度つまり前記したように10<sup>10</sup>cm<sup>-3</sup>程度とする。

【0011】次いで図2(b)に示すように、ボロン(アクセプタ原子)を注入する。この場合の注入深さはシリコン層8の下半分つまり500Åとし、その濃度はしきい値電圧(V<sub>th</sub>)を所望の値とする濃度つまり前記したように5×10<sup>11</sup>cm<sup>-3</sup>程度とする。そして、不純物を注入したら不純物の再分布が生じない条件、例えはランプアニール等で短時間の熱処理を行なう。

【0012】この後図2(c)に示すように、シリコン層8の上にSiO<sub>2</sub>等の酸化膜6及びポリシリコン層9を形成し、ポリシリコン層9上面の一部をレジストマスク10で覆ってパターンニングし、次いでプラズマ等で酸化膜6上面までエッチングを行ない、図2(d)に示すようにゲート領域7を形成する。

【0013】更に図2(e)に示すように、ゲート領域7下方領域を残してヒ素(ドナー原子)を注入する。この操作によりシリコン層8内にソース領域3、ドレイン領域4及び低濃度の上層5aと高濃度の下層5bからな

るチャネル領域5が形成される。そして更に、レジストマスク10をアッシングにて除去することで、図1に示した本発明の電界効果トランジスタ(SOI MOSFET)が得られる。

## 【0014】

【発明の効果】以上に説明したように本発明によれば、SOI MOS電界効果トランジスタにおいて、チャネル領域を不純物濃度の低い上層と不純物濃度の高い下層とに分けたので、しきい値電圧( $V_{th}$ )は不純物濃度の高い下層にてコントロールし、キャリヤの移動は不純物濃度の低い上層で行うことができ、したがってしきい値電圧のコントロールとキャリヤの高移動度を両立させた高

速デバイスを実現できる。

## 【図面の簡単な説明】

【図1】本発明に係る電界効果トランジスタの断面図

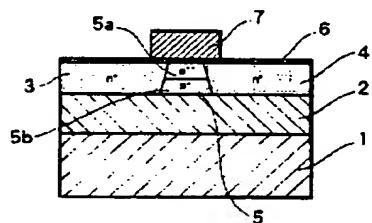
【図2】本発明に係る電界効果トランジスタの製作方法を示す図

【図3】従来の電界効果トランジスタの製作方法を示す図

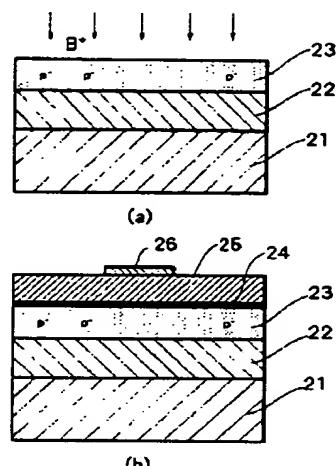
## 【符号の説明】

1…Si基板、2…絶縁層、3…ソース領域、4…ドレイン領域、5…チャネル領域、5a…上層、5b…下層、6…ゲート酸化膜、7…ゲート領域。

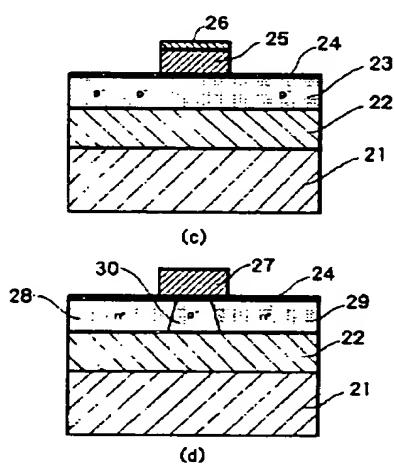
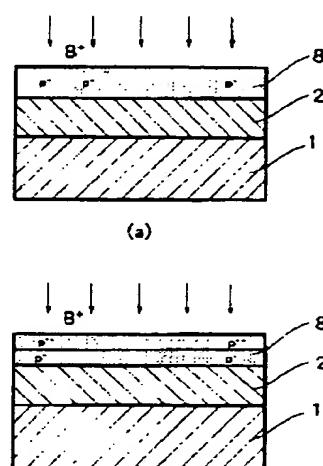
【図1】



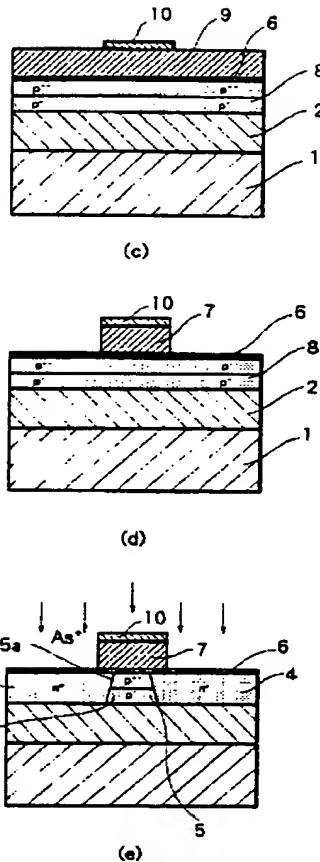
【図3】



【図2】



【図2】



## 【手続補正書】

【提出日】平成4年12月21日

## 【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】図面の簡単な説明

【補正方法】変更

## 【補正内容】

【図面の簡単な説明】

【図1】本発明に係る電界効果トランジスタの断面図

【図2】本発明に係る電界効果トランジスタの製作方法を示す図

【図3】本発明に係る電界効果トランジスタの製作方法を示す図

## 【図4】従来の電界効果トランジスタの製作方法を示す図

## 【符号の説明】

1…S i 基板、2…絶縁層、3…ソース領域、4…ドレン領域、5…チャネル領域、5 a…上層、5 b…下層、6…ゲート酸化膜、7…ゲート領域。

## 【手続補正2】

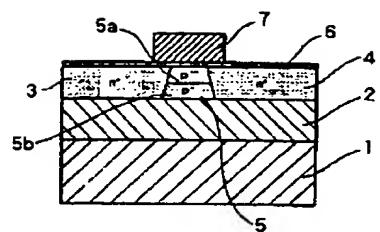
【補正対象書類名】図面

【補正対象項目名】全図

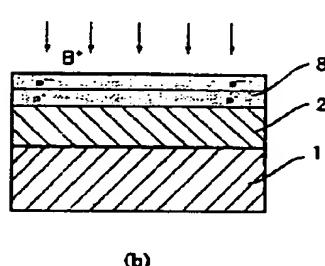
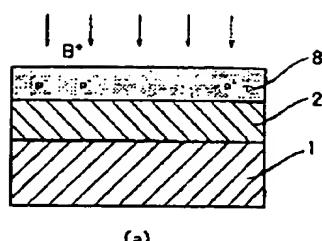
【補正方法】変更

## 【補正内容】

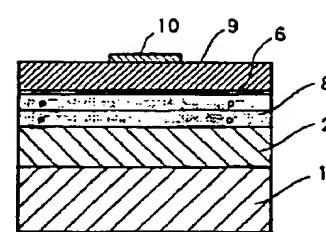
【図1】



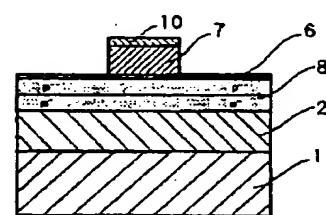
【図2】



【図3】

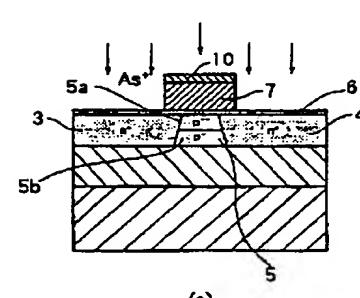
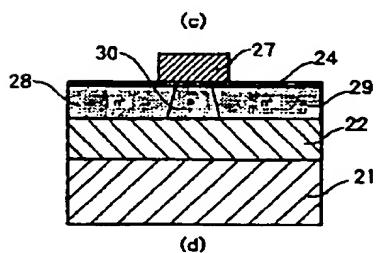
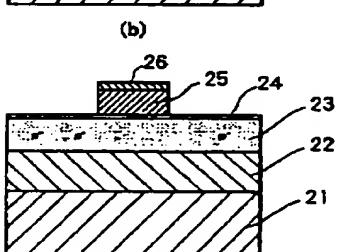
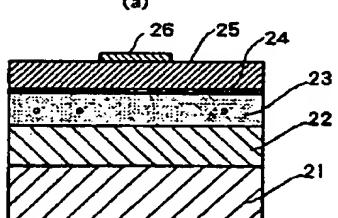
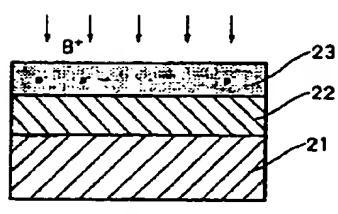


(a)



(b)

【図4】



(c)

## 【手続補正書】

【提出日】平成4年12月21日

## 【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】発明の詳細な説明

【補正方法】変更

## 【補正内容】

【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明はSOIMOSFET(Silicon On Insulator Metal Oxide Semiconductor Field Effect Transistor)に関する。

## 【0002】

【従来の技術】電界効果トランジスタとして、ラッチアップフリー、ソフトエラー耐性、低浮遊容量、集積回路の三次元化の可能性等において、バルクSi素子にない利点を有するSOIMOSFETが注目されている。

【0003】上記SOIMOSFETの作成方法は、先ず図4(a)に示すように、基板21上にSiO<sub>2</sub>等の絶縁層22を形成し、この絶縁層22の上に薄いシリコン層23を形成し、このシリコン層23に不純物として例えばボロン(アクセプタ原子)を注入し、次いで、図4(b)に示すように、シリコン層23の上にSiO<sub>2</sub>等の酸化膜24、ポリシリコン層25を形成するとともに所定箇所をレジストマスク26で覆い、図4(c)に示すように酸化膜24上面までエッティングしてゲート電極27を形成し、更に、図4(d)に示すようにゲート電極27下方を残してヒ素(ドナー原子)を不純物として注入することで、シリコン層23の部分にソース領域28、ドレイン領域29及びチャネル領域30を形成するようしている。

## 【0004】

【発明が解決しようとする課題】上述したSOIMOSFETにおいて、しきい値電圧(V<sub>th</sub>)はボロンの注入量に依存する。したがって適当なしきい値電圧を得るためにボロンの注入量を多くしなければならない。一方、ゲート領域下方のチャネル領域のボロン濃度が高いと、不純物による散乱によりキャリヤの移動度が低下する不利がある。したがって従来のSOIMOSFETではしきい値電圧とキャリヤの移動度を両立させることが困難であった。

## 【0005】

【課題を解決するための手段】上記課題を解決すべく本発明は、SOIMOSFETのチャネル領域を不純物濃度の低い上層と不純物濃度の高い下層とに分けた。

## 【0006】

【作用】しきい値電圧(V<sub>th</sub>)は不純物濃度の高い下層にてコントロールし、キャリヤの移動は不純物濃度の低い上層で行なわれる。

## 【0007】

【実施例】以下に本発明の実施例を添付図面に基づいて説明する。ここで、図1は本発明に係る電界効果トランジスタの断面図、図2、図3は同電界効果トランジスタの製作方法を示す図である。

【0008】本発明の電界効果トランジスタはSi基板1上にSiO<sub>2</sub>等の絶縁層2を形成し、この絶縁層2上にソース領域3、ドレイン領域4及びチャネル領域5を形成し、このチャネル領域5上にSiO<sub>2</sub>等のゲート酸化膜6を介してゲート領域7を設けた構造になっている。そして、前記チャネル領域5は不純物濃度の低い上層5aと不純物濃度の高い下層5bに分けられている。具体的には上層5aは厚み500Åで不純物濃度は10<sup>10</sup>cm<sup>-3</sup>程度とし、下層5bは厚み500Åで不純物濃度は5×10<sup>11</sup>cm<sup>-3</sup>程度とする。

【0009】以上において、ゲート領域7に電圧を印加してチャネル領域5の抵抗をコントロールしてソース領域3とドレイン領域4間に電流を流す場合、チャネル領域5の上層5aの方が下層5bに比べて低濃度なので、キャリヤの移動度が高く、したがって電流は上層5aの部分を流れる。

【0010】次に、上記の電界効果トランジスタ(SOIMOSFET)の作成方法を図2(a)～(b)、図3(a)～(c)に基づいて説明する。先ず図2(a)に示すように、Si基板1上にSiO<sub>2</sub>等の絶縁層2を形成し、この絶縁層2上に厚さ1000Åのシリコン(Si)層8をエピタキシャル成長等によって形成し、このシリコン層8に不純物としてボロン(アクセプタ原子)を注入する。ここで不純物濃度はキャリヤの散乱が起らない程度の濃度つまり前記したように10<sup>10</sup>cm<sup>-3</sup>程度とする。

【0011】次いで図2(b)に示すように、ボロン(アクセプタ原子)を注入する。この場合の注入深さはシリコン層8の下半分つまり500Åとし、その濃度はしきい値電圧(V<sub>th</sub>)を所望の値とする濃度つまり前記したように5×10<sup>11</sup>cm<sup>-3</sup>程度とする。そして、不純物を注入したら不純物の再分布が生じない条件、例えばランプアニール等で短時間の熱処理を行なう。

【0012】この後図3(a)に示すように、シリコン層8の上にSiO<sub>2</sub>等の酸化膜6及びポリシリコン層9を形成し、ポリシリコン層9上面の一部をレジストマスク10で覆ってバターンニングし、次いでプラズマ等で酸化膜6上面までエッティングを行ない、図3(b)に示すようにゲート領域7を形成する。

【0013】更に図3(c)に示すように、ゲート領域7下方領域を残してヒ素(ドナー原子)を注入する。この操作によりシリコン層8内にソース領域3、ドレイン領域4及び低濃度の上層5aと高濃度の下層5bからなるチャネル領域5が形成される。そして更に、レジストマスク10をアッシングにて除去することで、図1に示

した本発明の電界効果トランジスタ（SOIMOSFET）が得られる。

【0014】

【発明の効果】以上に説明したように本発明によれば、SOIMOS電界効果トランジスタにおいて、チャネル領域を不純物濃度の低い上層と不純物濃度の高い下層と

に分けたので、しきい値電圧（V<sub>th</sub>）は不純物濃度の高い下層にてコントロールし、キャリヤの移動は不純物濃度の低い上層で行うことができ、したがってしきい値電圧のコントロールとキャリヤの高移動度を両立させた高速デバイスを実現できる。